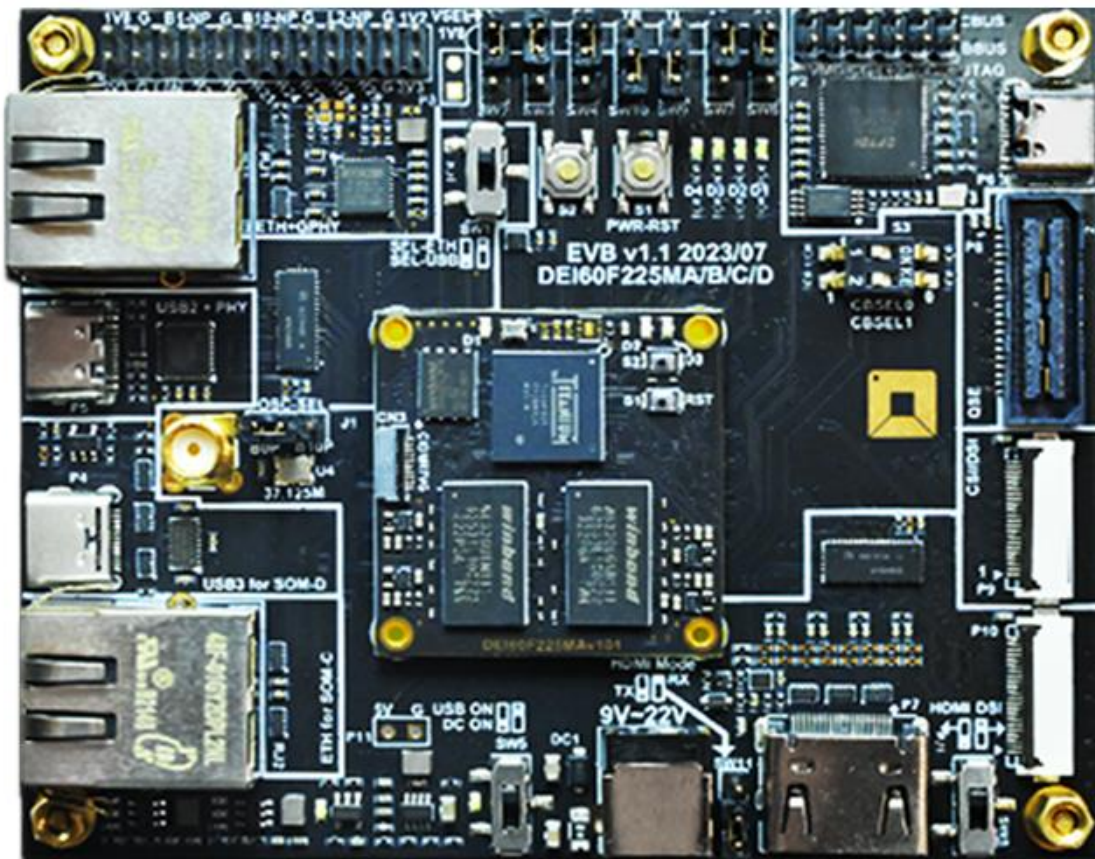


## DEI60F225-EVB

## 用戶手冊



# 目录

<b>一、底板简介</b> .....	<b>1</b>
(一) 简介 .....	1
(二) 器件标注图 .....	1
<b>二、接口描述</b> .....	<b>2</b>
(一) 电源 .....	2
(二) JTAG 接口 .....	3
(三) USB 供电/下载口 .....	4
(四) EEPROM.....	5
(五) 扩展口 .....	6
(六) 千兆以太网接口 .....	7
(七) USB 通信接口 .....	10
(八) HDMI 接口 .....	14
(九) MIPI 接口 .....	16
(十) QSE 接口.....	18
<b>三、内部连接</b> .....	<b>20</b>
(一) LED .....	20
(二) 插针 .....	20
(三) 按键 .....	20
(四) 晶振 .....	20
(五) 开关 .....	20
(六) 连接器 .....	20
<b>四、机械尺寸</b> .....	<b>21</b>
(一) 顶视图 .....	21
(二) 侧视图 .....	22
(三) 底视图 .....	23
(四) 底板位号坐标图.....	24
<b>五、订货型号</b> .....	<b>25</b>
<b>六、修订记录</b> .....	<b>25</b>

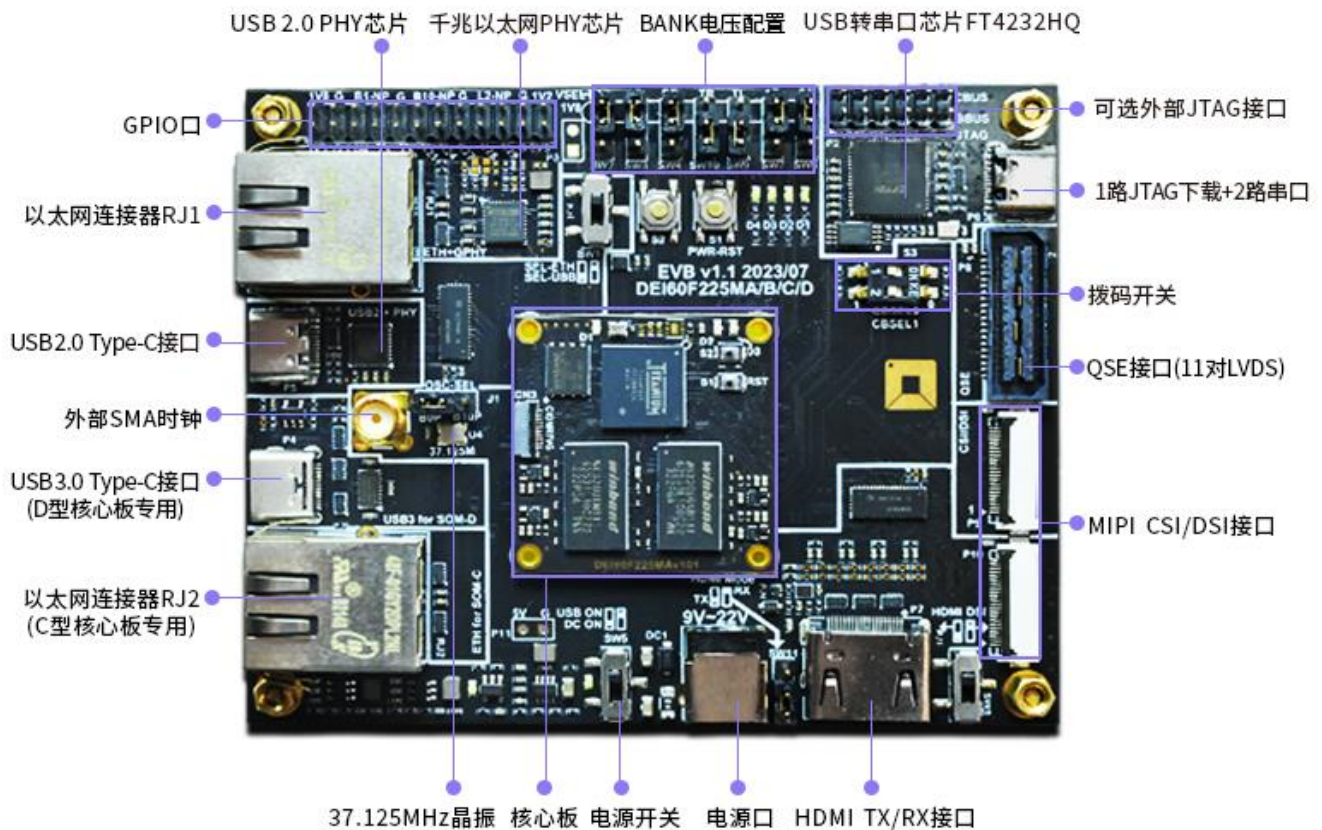
## 一、底板简介

### (一) 简介

底板 DEI60F225-EVB 为 DEI60F225M 系列核心板提供了丰富的外围接口，比如电源接口，USB 供电/下载口，JTAG 调试插针，扩展口，USB2.0 通信接口，USB3.0 通信接口，千兆以太网接口，HDMI 输出接口，2 路 MIPI 接口，QSE 板对板连接器接口，及核心板连接器接口等等，能够方便兼容四种类型的核心板。

### (二) 器件标注图

## 开发板



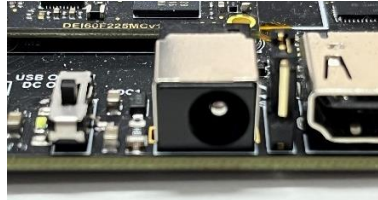
图(1) 底板器件标注图

## 二、接口描述

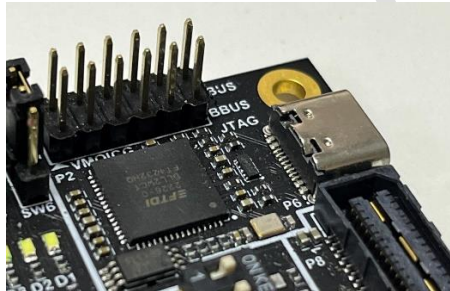
### (一) 电源

底板 DEI60F225-EVB 供电方式有以下两种：

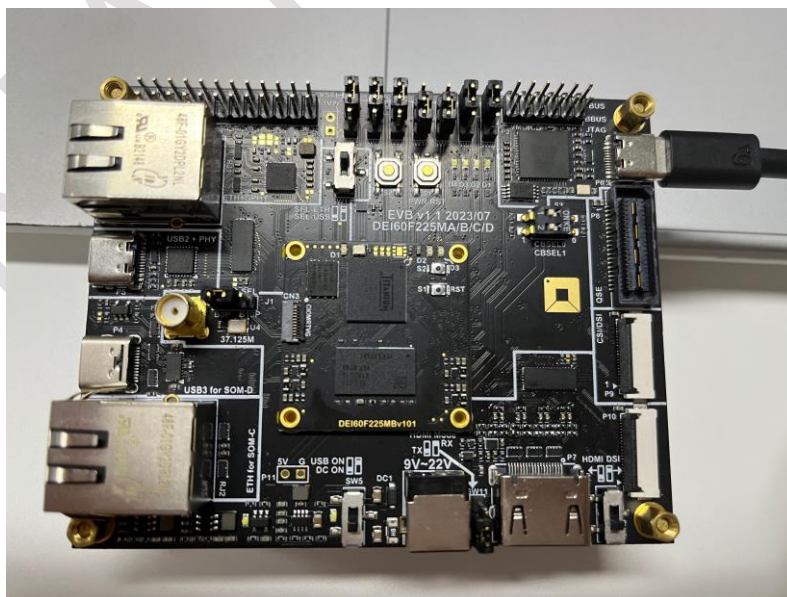
- DC 电源插座供电模式：



- USB Type-C 插口供电模式：



用户可以通过滑动开关 SW5 进行 DC/USB 供电模式选择，推荐采用 USB 供电。

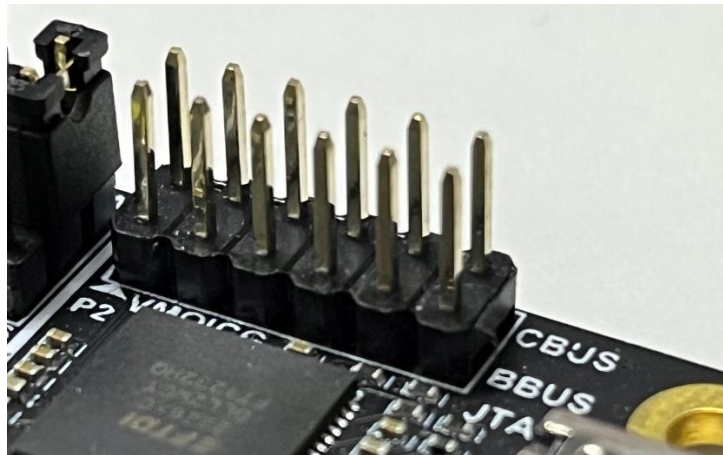


图(2) 底板电源供电示意图

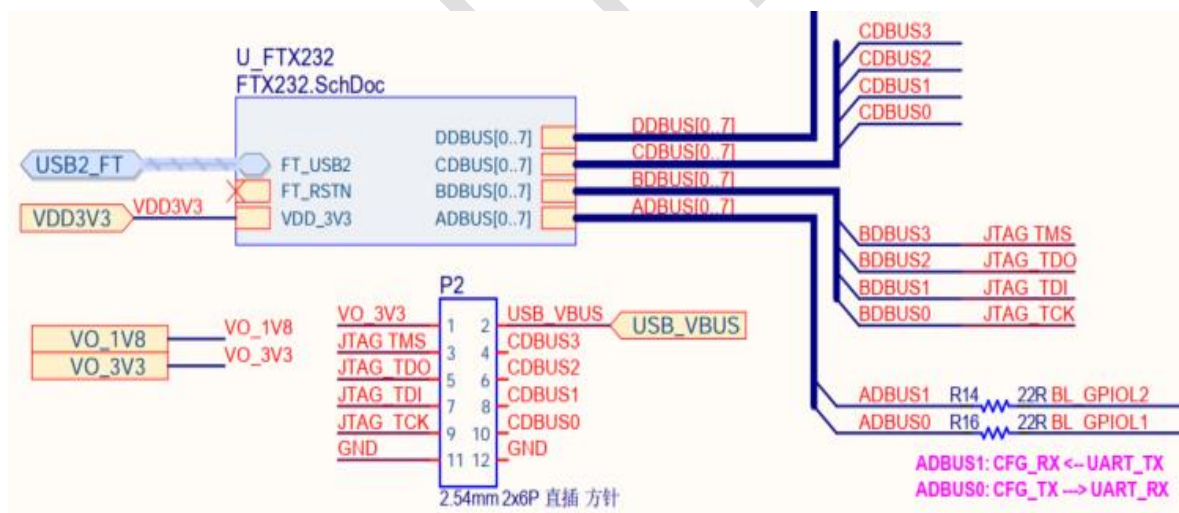
## (二) JTAG 接口

DEI60F225-EVB 底板预留了一个标准的 12 针 2.54mm 间距的 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。

下图为底板上 JTAG 接口实物图，JTAG 线插拔的时候注意不要热插拔。



图(3) JTAG 插针实物图



图(4) JTAG 插针实物图

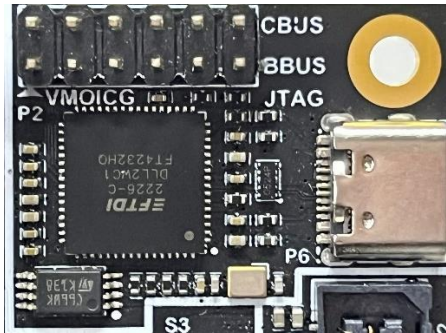
P2 插针对应 JTAG 接口的内部 FPGA 管脚连接如下：

标号	信号名	FPGA Pin
MS	JTAG_TMS	N3
DO	JTAG_TDO	M4
DI	JTAG_TDI	P3
CK	JTAG_TCK	N4

### (三) USB 供电/下载口

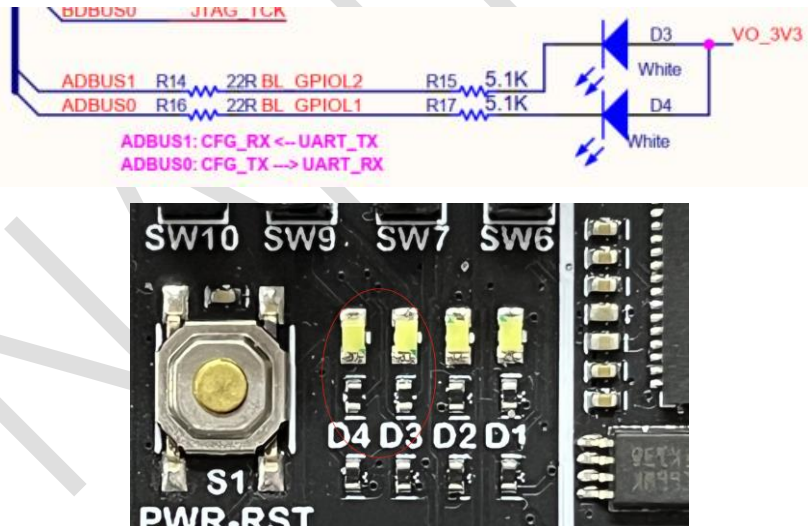
DEI60F225-EVB底板包含了FTDI（飞特帝亚）的USB芯片FT4232HQ。

USB连接器KH-TYPE-C-16P（位号P6）采用TYPE-C接口，可以用一根USB线将它连接到上PC的USB口进行串口数据通信。USB转串口UART电路如下所示：



图(5) USB转串口实物图

同时对串口信号设置了2个PCB上丝印为D3和D4的LED指示灯，D3和D4 LED灯会指示串口是否有数据发出或者是否有数据接受，如下图所示：



图(6) USB 转串口信号指示灯

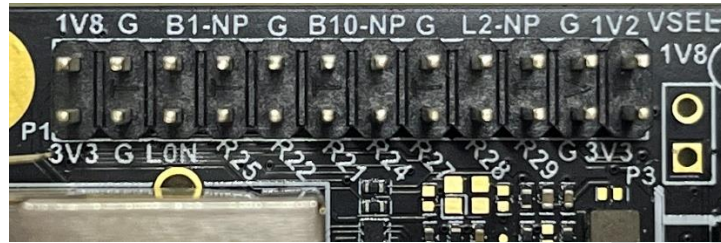
USB 转串口 UART 的 FPGA 引脚分配：

标号	信号名	FPGA Sig Name	FPGA Pin	描述
D3	BL_GPIOL2	GPIOL_02	R4	一般用于调试串口 TX
D4	BL_GPIOL1	GPIOL_01	R3	一般用于调试串口 RX

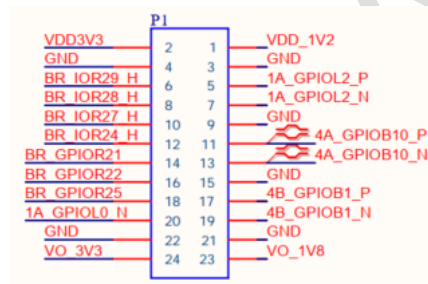


## (五) 扩展口

DEI60F225-EVB底板预留1个2.54mm标准间距的24针的扩展口P1，用于连接各个模块或用户自己设计的外面电路，扩展口有24个信号，其中，3.3V电源2路，1.8V电源1路，1.2V电源1路，地6路，IO口14路。扩展口(P1)如下图所示：



图(8) 扩展口P1实物图



图(9) 扩展口P1原理图

扩展IO信号和FPGA内部管脚连接如下：

标号	信号名	FPGA Sig Name	FPGA Pin
5	1A_GPIOL2_P	GPIOL_P_02_CSI	N2
7	1A_GPIOL2_N	GPIOL_N_02_CSO	M2
11	4A_GPIOB10_P	GPIOB_P_10_CLK12_P	M9
13	4A_GPIOB10_N	GPIOB_N_10_CLK12_N	L9
17	4B_GPIOB1_P	GPIOB_P_01_EXTFB	R6
19	4B_GPIOB1_N	GPIOB_N_01	P6
6	BR_IOR29_H	GPIOR_29_PLLIN2	R13
8	BR_IOR28_H	GPIOR_28	R14
10	BR_IOR27_H	GPIOR_27	P13
12	BR_IOR24_H	GPIOR_24	N13
14	BR_GPIOR21	GPIOR_21	N14
16	BR_GPIOR22	GPIOR_22	P14
18	BR_GPIOR25	GPIOR_25	P15
20	1A_GPIOL0_N	GPIOL_N_00	R2

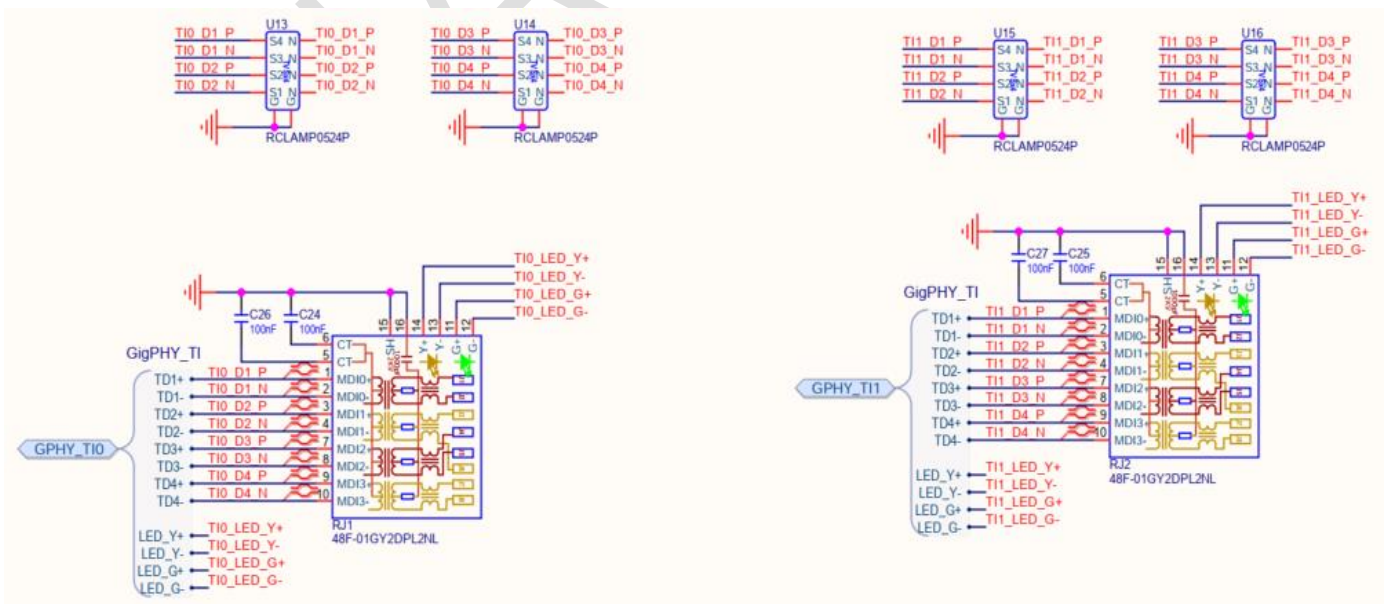
## (六) 千兆以太网接口

DEI60F225-EVB底板配置了两个以太网连接器RJ1、RJ2，型号为48F-01GY2DPL2NL。RJ1通过裕太微 YT8531H 以太网PHY芯片为用户提供网络通信服务。YT8531H 芯片是一款专为高速通信应用而设计的物理层（PHY）芯片。PHY芯片是用于处理物理层通信信号的芯片，它负责将数字信号转换为模拟信号，并通过物理介质传输数据。它支持10/100/1000 Mbps网络传输速率，通过RGMII接口跟FPGA进行数据通信，并具有较高的数据传输速度和低功耗特性。

当网络连接到千兆以太网时，FPGA和PHY芯片YT8531H的数据传输时通过RGMII总线通信，传输时钟为125MHz，数据在时钟的上升沿和下降沿采样。接收时钟由PHY芯片提供，发送时钟由FPGA提供，数据在时钟的上升沿采样。

当网络连接到百兆以太网时，FPGA和PHY芯片YT8531H的数据传输时通过MII总线通信，传输时钟为25Mhz。接收时钟和发送时钟都由PHY芯片提供，数据在时钟的上升沿采样。

下图为以太网连接器RJ1、RJ2接口原理图：



图(10) 以太网连接器RJ1与RJ2接口原理图

## DEI60F225-EVB 底板

下图为以太网连接器RJ1与PHY芯片、RJ2连接器的实物图：

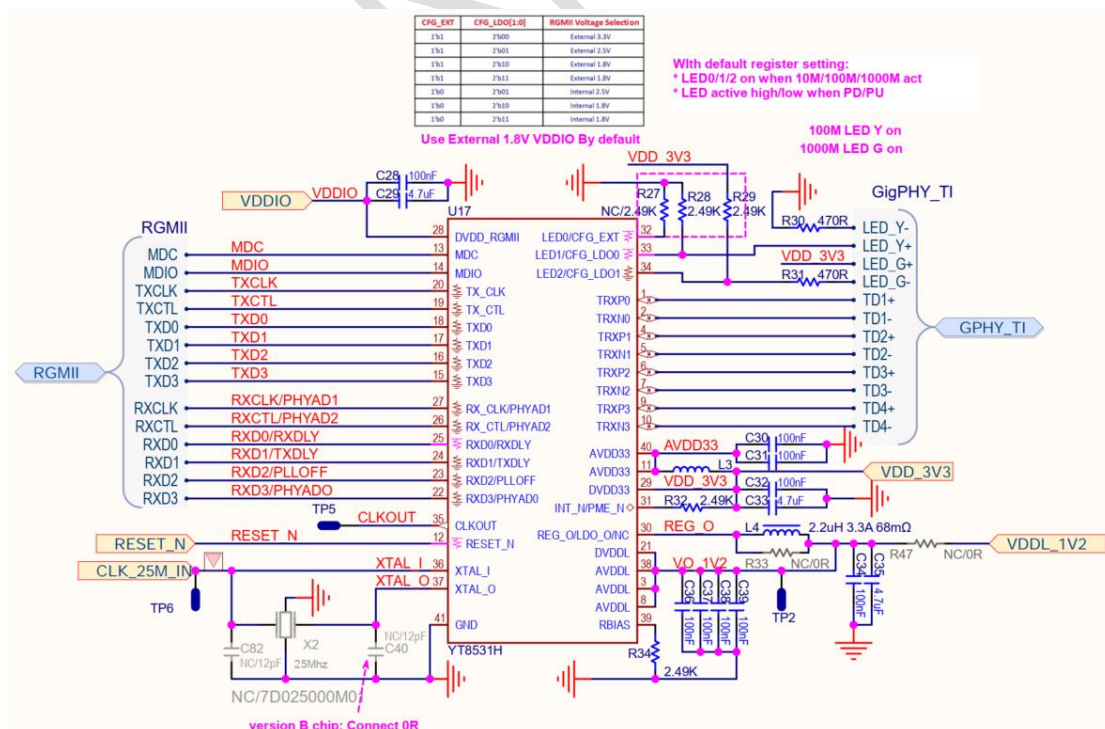


图(11) 以太网连接器RJ1与PHY芯片实物图



图(12) 以太网RJ2连接器实物图

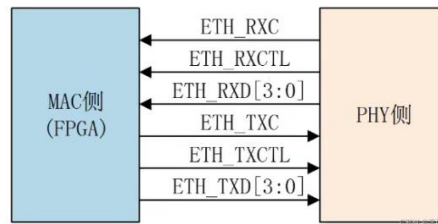
以太网连接器RJ1对应PHY芯片YT8531H的原理图如下：



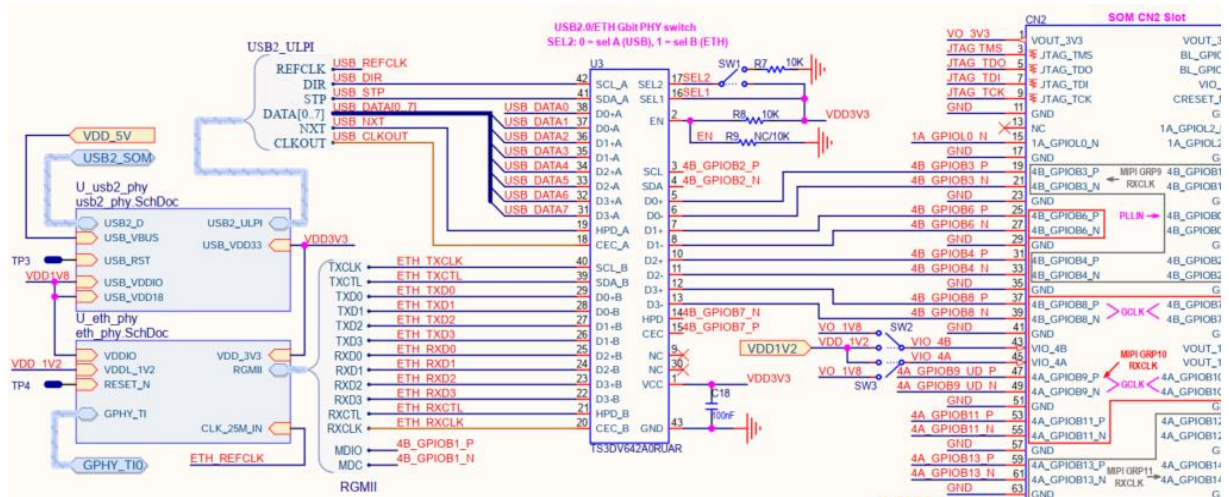
图(13) 以太网RJ1对应PHY芯片原理图

## DEI60F225-EVB 底板

以太网PHY芯片YT8531H与FPGA的RGMII接口示意图:



图(14) RGMII接口示意图



图(15) RGMII接口原理图

以太网连接器RJ1对应RGMII接口FPGA引脚分配如下表所示:

信号名称	FPGA 信号名	FPGA 引脚号	描述
MDC	GPIOB_N_01	P6	MDIO 管理时钟
MDIO	GPIOB_P_01_EXTFB	R6	MDIO 管理数据
ETH_TXCLK	GPIOB_P_02_CDI4	R7	100M/10M时的发送时钟
ETH_TXCTL	GPIOB_N_02_CDI5	P7	发送数据控制信号
ETH_TXD0	GPIOB_P_03_CDI6	N6	发送数据 bit 0
ETH_TXD1	GPIOB_N_03_CDI7	M6	发送数据 bit 1
ETH_TXD2	GPIOB_P_06_CDI8	M7	发送数据 bit 2
ETH_TXD3	GPIOB_N_06_CDI9	L7	发送数据 bit 3
ETH_RXCLK	GPIOB_P_07_CLK15_P	R8	RGMII 接收时钟
ETH_RXCTL	GPIOB_N_07_CLK15_N	P8	接收数据控制信号
ETH_RXD0	GPIOB_P_04_SSU_N	L6	接收数据 bit 0
ETH_RXD1	GPIOB_N_04	K6	接收数据 bit 1
ETH_RXD2	GPIOB_P_08_CLK14_P	N8	接收数据 bit 2
ETH_RXD3	GPIOB_N_08_CLK14_N	M8	接收数据 bit 3
ETH_REFCLK	GPIOB_N_00	P5	参考时钟

以太网连接器RJ2的PHY芯片位于C型核心板上，此处不做过多介绍。

## (七) USB 通信接口

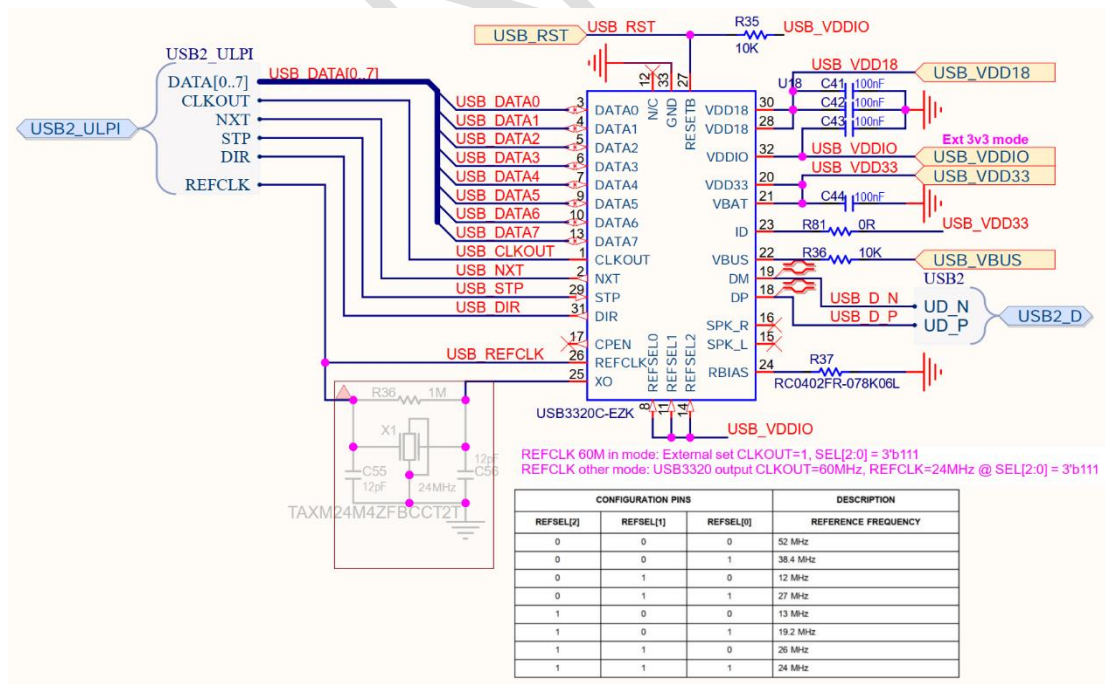
DEI60F225-EVB底板配置了一个TYPE-C USB 2.0连接器。

位号P5，USB连接器型号为KH-TYPE-C-16P。通过PHY芯片USB3320C-EZK为用户提供USB 2.0通信服务。USB3320C-EZK芯片是一款高速USB 2.0收发器，提供可配置的物理层（PHY）解决方案，用户可选择参考时钟的频率，在ULPI输入时钟模式时使用60MHz外部时钟。使用Microchip的“wrapper-less”技术来实现ULPI接口，这种“无包装”技术允许收发器实现低延迟传输和接收时间。

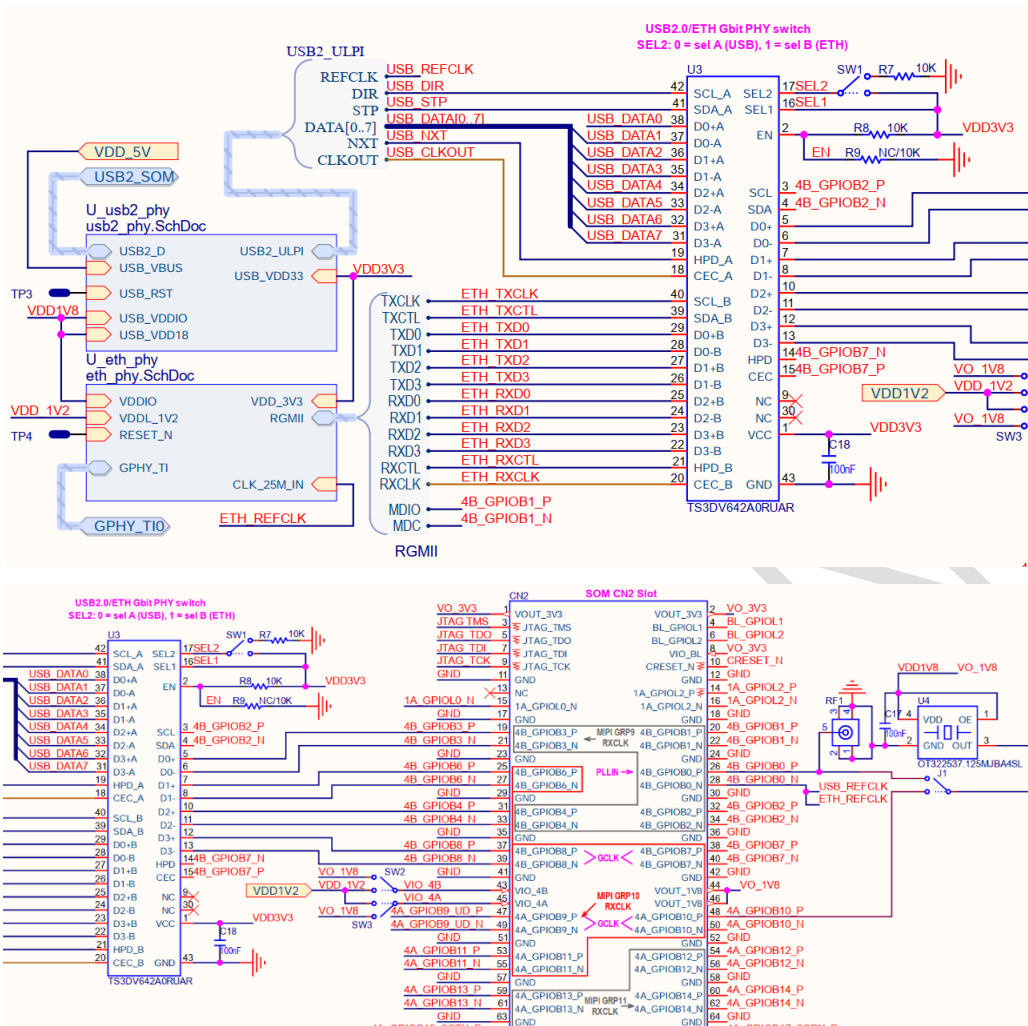


图(16) USB 2.0连接器实物图

USB 2.0连接器P5接口及对应PHY芯片USB3320C-EZK的原理图如下：



图(17) USB 2.0连接器PHY芯片原理图



图(18) USB 2.0连接器接口原理图

USB连接器P5对应USB2\_ULPI引脚分配如下表所示:

信号名称	FPGA 信号名	FPGA 引脚号	描述
USB_REFCLK	GPIOB_N_00	P5	参考时钟
USB_STP	GPIOB_N_02_CD15	P7	指示数据传输的开始和结束
USB_DIR	GPIOB_P_02_CD14	R7	指示数据传输的方向
USB_DATA0	GPIOB_P_03_CD16	N6	USB 2.0的数据bit 0
USB_DATA1	GPIOB_N_03_CD17	M6	USB 2.0的数据bit 1
USB_DATA2	GPIOB_P_06_CD18	M7	USB 2.0的数据bit 2
USB_DATA3	GPIOB_N_06_CD19	L7	USB 2.0的数据bit 3
USB_DATA4	GPIOB_P_04_SSU_N	L6	USB 2.0的数据bit 4
USB_DATA5	GPIOB_N_04	K6	USB 2.0的数据bit 5
USB_DATA6	GPIOB_P_08_CLK14_P	N8	USB 2.0的数据bit 6
USB_DATA7	GPIOB_N_08_CLK14_N	M8	USB 2.0的数据bit 7
USB_CLKOUT	GPIOB_P_07_CLK15_P	R8	时钟输出管脚, 提供USB总线的时钟信号
USB_NXT	GPIOB_N_07_CLK15_N	P8	指示下一个数据包是否准备好

## DEI60F225-EVB 底板

DEI60F225-EVB底板还配置了一个TYPE-C USB 3.0连接器。

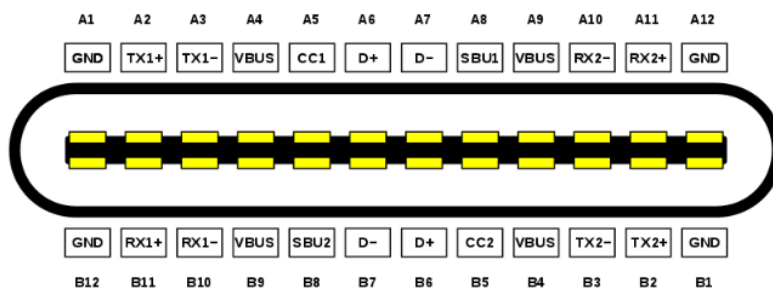
位号P4，USB连接器型号为U262-241N-4BV64。通过D型核心板板载的沁恒MCU芯片CH569W为用户提供USB 3.0通信服务。CH569W芯片是一款高性能的USB 3.0主控芯片，具有强大的通信功能。它支持USB 3.0规范，数据传输速度，最高可达到5 Gbps，这比USB 2.0的传输速度快10倍。高速数据传输、低功耗设计和硬件加密支持等特点使得它适用于各种需要USB通信功能的应用场景，如外部存储设备、音视频设备、工业控制等。

USB 3.0连接器（母头）实物图及P4接口原理图如下：

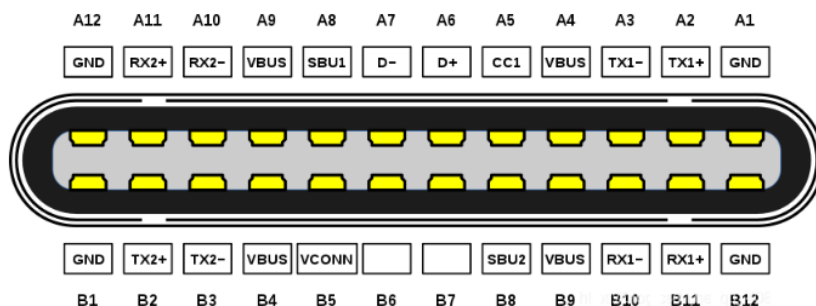


图(19) USB 3.0连接器实物图

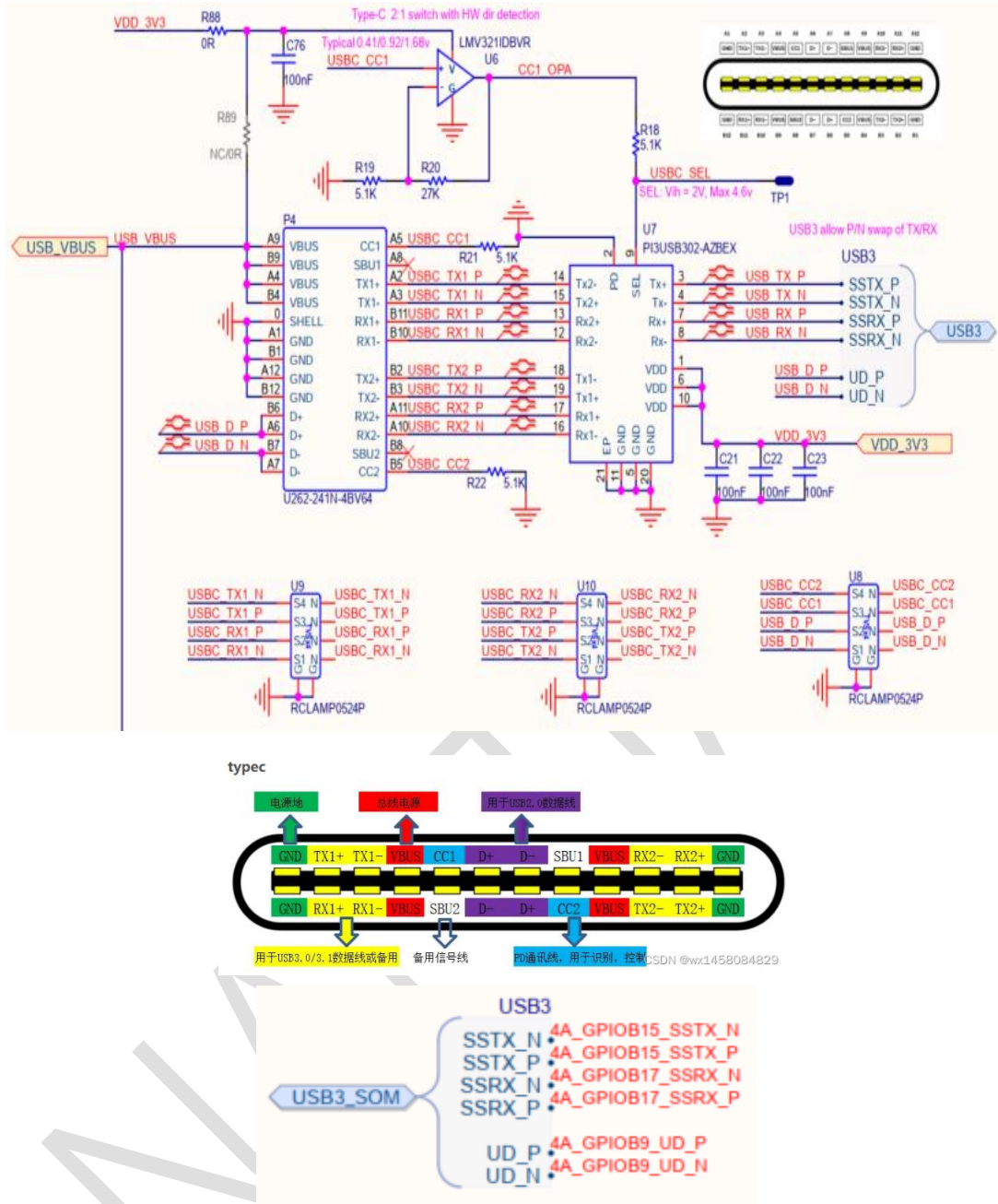
Type-C母头



Type-C公头



DEI60F225-EVB 底板



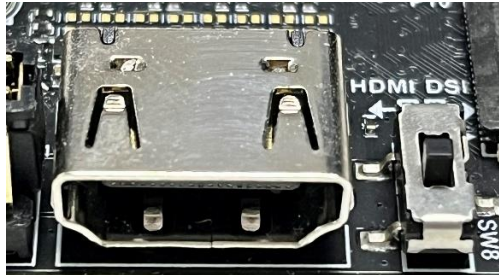
图(20) USB 3.0连接器原理图

USB连接器P4对应引脚分配如下表所示:

信号名称	FPGA 信号名	FPGA 引脚号	描述
UD_P	GPIOB_P_09_CLK13_P	K7	上行数据传输的正极线
UD_N	GPIOB_N_09_CLK13_N	L8	上行数据传输的负极线
SSTX_P	GPIOB_P_15_CDI18	R12	超速传输正极线
SSTX_N	GPIOB_N_15_CDI19	R11	超速传输负极线
SSRX_P	GPIOB_P_17_PLLIN1	P11	超速接收正极线
SSRX_N	GPIOB_N_17	P12	超速接收负极线

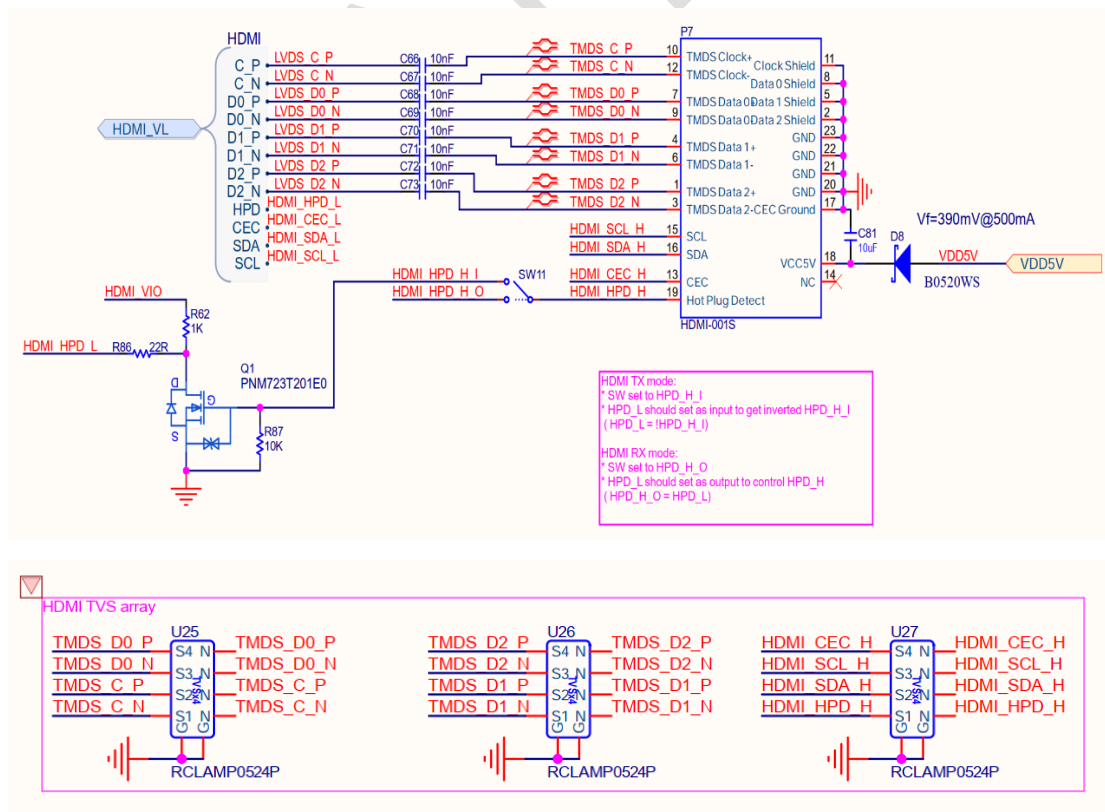
## (八) HDMI 接口

HDMI输出接口的实现，是通过FPGA的4路LVDS差分信号（3路数据和一路时钟）接口直接驱动HDMI输出，为开发板提供不同格式的视频输出接口。



图(21) HDMI连接器实物图

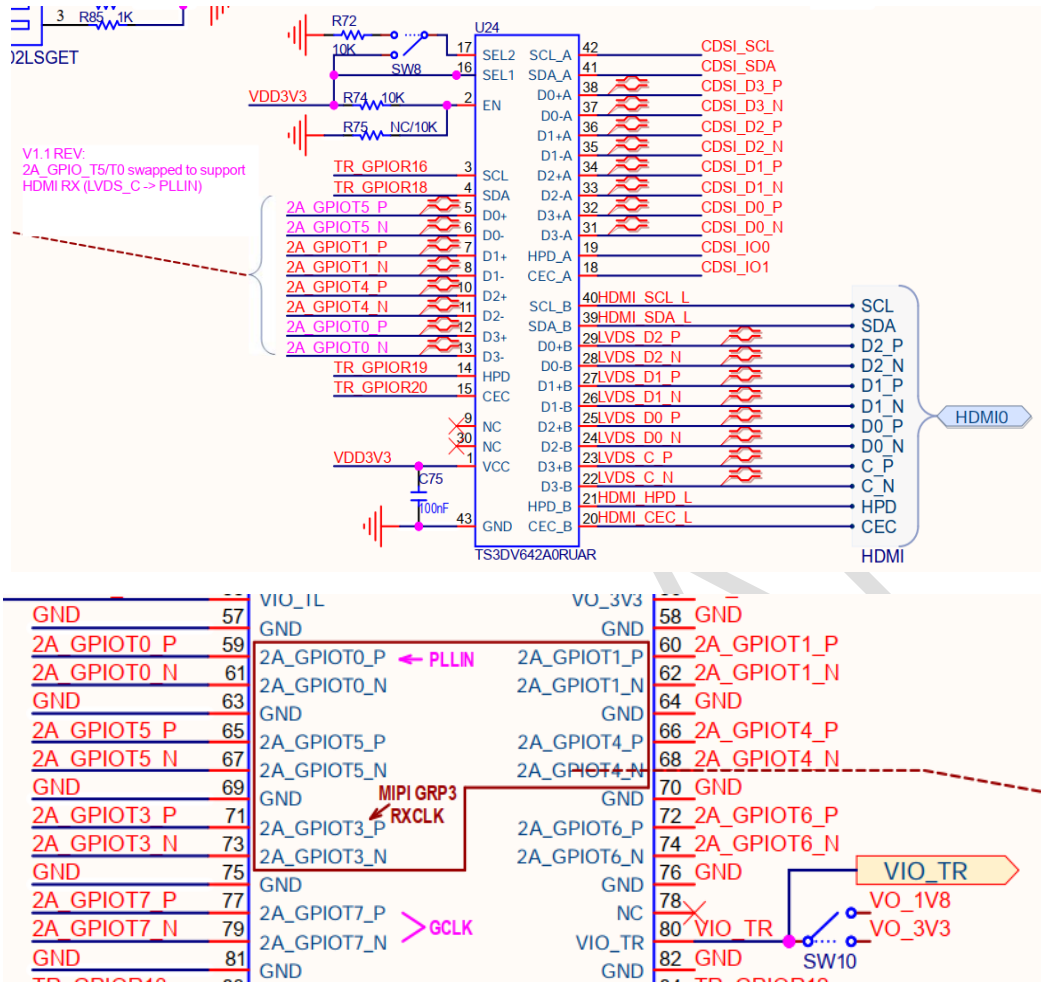
其中，HDMI接口和FPGA之间的LVDS差分信号的连接使用AC Couple的模式，起到隔直的作用。另外在硬件设计上，每对LVDS差分信号上增加了TVS保护管，防止外面静电对FPGA的损坏。HDMI TVS 阵列采用的静电放电（ESD）保护器件型号为RCLAMP0524P，HDMI输出接口的硬件连接如下图所示。



图(22) HDMI连接器原理图

DEI60F225-EVB 底板

HDMI连接器对应接口信号原理图如下图：



图(23) HDMI信号连接原理图

HDMI信号和FPGA引脚分配如下表所示：

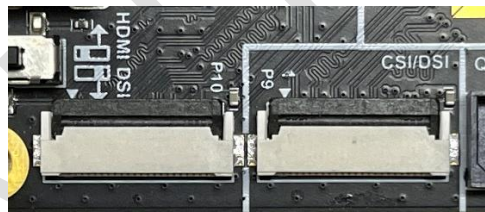
信号名称	FPGA 信号名	FPGA 引脚号	描述
LVDS_C_P	GPIOT_P_00_PLLIN1	E6	LVDS 信号时钟正极线 (C_P)
LVDS_C_N	GPIOT_N_00	D5	LVDS信号时钟负极线 (C_N)
LVDS_D0_P	GPIOT_P_04	F7	LVDS信号数据D0正极线 (D0_P)
LVDS_D0_N	GPIOT_N_04	F8	LVDS信号数据D0负极线 (D0_N)
LVDS_D1_P	GPIOT_P_01	B6	LVDS信号数据D1正极线 (D1_P)
LVDS_D1_N	GPIOT_N_01	C6	LVDS信号数据D1负极线 (D1_N)
LVDS_D2_P	GPIOT_P_05	E7	LVDS信号数据D2正极线 (D2_P)
LVDS_D2_N	GPIOT_N_05	D7	LVDS信号数据D2负极线 (D2_N)
HDMI_SCL_L	GPIOR_16	C12	串行时钟线 (SCL) 信号
HDMI_SDA_L	GPIOR_18	B14	串行数据线 (SDA) 信号
HDMI_HPD_L	GPIOR_19	A14	热插拔检测线 (HPD) 信号
HDMI_CEC_L	GPIOR_20	D12	消费电子控制 (CEC) 线

## (九) MIPI 接口

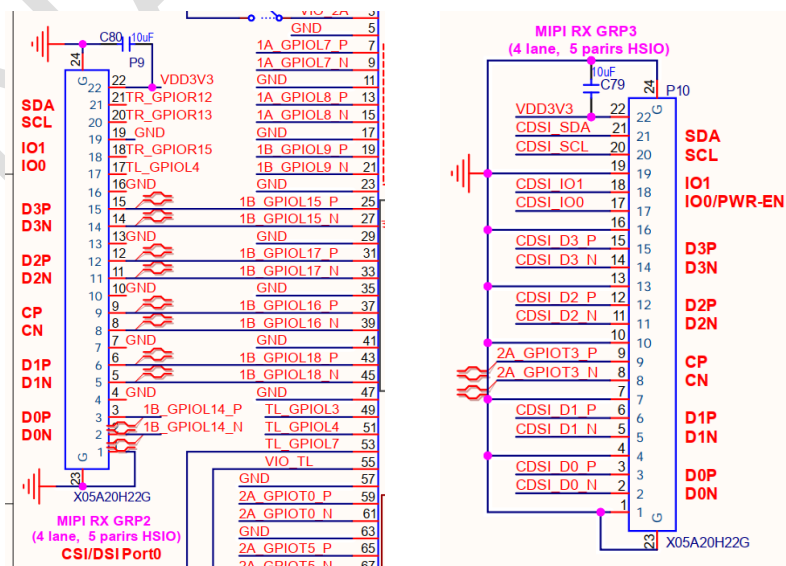
MIPI CSI (MIPI Camera Serial Interface) 和 MIPI DSI (MIPI Display Serial Interface) 是由MIPI (Mobile Industry Processor Interface) 联盟定义的一对专门用于移动设备的串行接口协议。MIPI CSI是用于相机模块与图像处理器之间的接口。它采用差分信号传输机制, 从相机模块中传输图像数据和控制信息到图像处理器。MIPI DSI是用于显示屏模块与显示控制器之间的接口。它采用差分信号传输机制, 从显示控制器中传输图像数据和控制信息到显示屏模块。

MIPI CSI/DSI接口使用串行化的数据和时钟线, 通过高速差分传输技术传输数据, 且支持多通道传输, 提供更高的数据带宽和更高的图像质量, 还定义了一些控制信号和同步信号来实现对相机/显示屏模块的控制和图像数据的同步。

DEI60F225-EVB底板配置了两路MIPI CSI/DSI接口 (22p), 位号P9和P10。



图(24) 2路 MIPI信号连接器实物图



图(25) P9和P10连接器原理图

连接器P9和FPGA引脚分配如下表所示：

标号	信号名称	FPGA 信号名	FPGA 引脚号	描述
2	1B_GPIOL14_N	GPIOL_N_14	F2	D0N, 数据通道 0 负极, Mipi Data0-
3	1B_GPIOL14_P	GPIOL_P_14	F1	D0P, 数据通道0正极, Mipi Data0+
5	1B_GPIOL18_N	GPIOL_N_18	A2	D1N, 数据通道1负极, Mipi Data1-
6	1B_GPIOL18_P	GPIOL_P_18_PLLIN0	B2	D1P, 数据通道1正极, Mipi Data1+
8	1B_GPIOL16_N	GPIOL_N_16	C1	CN, 传输数据时钟信号的负极, Clk-
9	1B_GPIOL16_P	GPIOL_P_16	D1	CP, 传输数据时钟信号的正极, Clk+
11	1B_GPIOL17_N	GPIOL_N_17	C2	D2N, 数据通道2负极, Mipi Data2-
12	1B_GPIOL17_P	GPIOL_P_17_EXTFB	B1	D2P, 数据通道2正极, Mipi Data2+
14	1B_GPIOL15_N	GPIOL_N_15_TEST_N	E2	D3N, 数据通道3负极, Mipi Data3-
15	1B_GPIOL15_P	GPIOL_P_15_NSTATUS	E1	D3P, 数据通道3正极, Mipi Data3+
17	TL_GPIOL4	GPIOL_04	B3	IO0, 输入/输出, 用于传输数据或控制信号
18	TR_GPIOR15	GPIOR_15	B12	IO1, 输入/输出, 用于传输数据或控制信号
20	TR_GPIOR13	GPIOR_13	A12	SCL, 用于配置sensor, 同步数据传输的时钟信号
21	TR_GPIOR12	GPIOR_12	A13	SDA, 用于配置sensor, 传输数据的串行信号

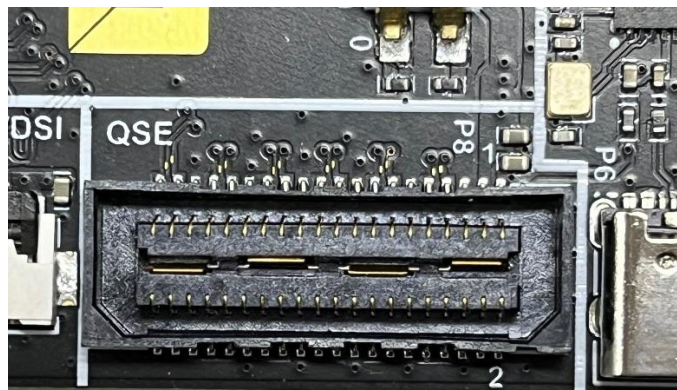
连接器P10和FPGA引脚分配如下表所示：

标号	信号名称	FPGA 信号名	FPGA 引脚号	描述
2	2A_GPIOT0_N	GPIOT_N_00	D5	D0N, 数据通道 0 负极, Mipi Data0-
3	2A_GPIOT0_P	GPIOT_P_00_PLLIN1	E6	D0P, 数据通道0正极, Mipi Data0+
5	2A_GPIOT4_N	GPIOT_N_04	F8	D1N, 数据通道1负极, Mipi Data1-
6	2A_GPIOT4_P	GPIOT_P_04	F7	D1P, 数据通道1正极, Mipi Data1+
8	2A_GPIOT3_N	GPIOT_N_03	A6	CN, 传输数据时钟信号的负极, Clk-
9	2A_GPIOT3_P	GPIOT_P_03	A5	CP, 传输数据时钟信号的正极, Clk+
11	2A_GPIOT1_N	GPIOT_N_01	C6	D2N, 数据通道2负极, Mipi Data2-
12	2A_GPIOT1_P	GPIOT_P_01	B6	D2P, 数据通道2正极, Mipi Data2+
14	2A_GPIOT5_N	GPIOT_N_05	D7	D3N, 数据通道3负极, Mipi Data3-
15	2A_GPIOT5_P	GPIOT_P_05	E7	D3P, 数据通道3正极, Mipi Data3+
17	TR_GPIOR19	GPIOR_19	A14	IO0, 输入/输出, 用于传输数据或控制信号
18	TR_GPIOR20	GPIOR_20	D12	IO1, 输入/输出, 用于传输数据或控制信号
20	TR_GPIOR16	GPIOR_16	C12	SCL, 用于配置sensor, 同步数据传输的时钟信号
21	TR_GPIOR18	GPIOR_18	B14	SDA, 用于配置sensor, 传输数据的串行信号

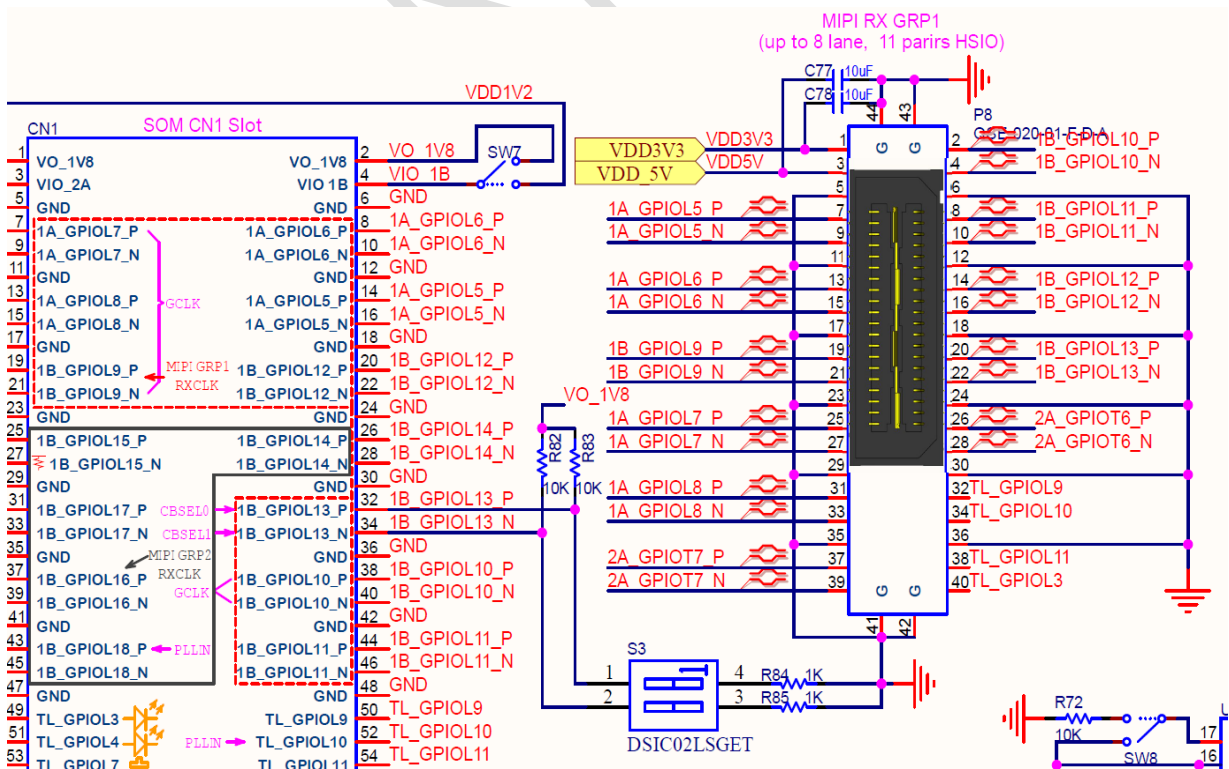
## (十) QSE 接口

Ti60-F225系列开发板配置了屏幕扩展板DEI60F225-EXT，通过DEI60F225-EVB底板上的QSE接口和屏幕扩展板DEI60F225-EXT上的QTE接口相连。板对板连接器型号分别为：底板QSE-020-01-F-D-A及扩展板QTE-020-01-F-D-A。

QSE-020-01-F-D-A及QTE-020-01-F-D-A连接器是一种具有40个引脚的连接器。它是一种双排直插式连接器，常用于电子设备中的电路板连接。



图(26) 底板QSE连接器实物图



图(27) 底板QSE连接器原理图

## DEI60F225-EVB 底板

底板DEI60F225-EVB的QSE接口位号为P8，和FPGA引脚分配如下表所示：

标号	信号名称	FPGA 信号名	FPGA 引脚号
7	1A_GPIOL5_P	GPIOL_P_05_CBUS0	K4
9	1A_GPIOL5_N	GPIOL_N_05_CBUS1	J3
13	1A_GPIOL6_P	GPIOL_P_06_CBUS2	K3
15	1A_GPIOL6_N	GPIOL_N_06	K2
19	1B_GPIOL9_P	GPIOL_P_09_CLK2_P	H1
21	1B_GPIOL9_N	GPIOL_N_09_CLK2_N	G1
25	1A_GPIOL7_P	GPIOL_P_07_CLK0_P	K1
27	1A_GPIOL7_N	GPIOL_N_07_CLK0_N	J1
31	1A_GPIOL8_P	GPIOL_P_08_CLK1_P	J2
33	1A_GPIOL8_N	GPIOL_N_08_CLK1_N	H3
37	2A_GPIOT7_P	GPIOT_P_07_CLK4_P	B8
39	2A_GPIOT7_N	GPIOT_N_07_CLK4_N	A8
2	1B_GPIOL10_P	GPIOL_P_10_CLK3_P	H2
4	1B_GPIOL10_N	GPIOL_N_10_CLK3_N	G2
8	1B_GPIOL11_P	GPIOL_P_11	G5
10	1B_GPIOL11_N	GPIOL_N_11	F5
14	1B_GPIOL12_P	GPIOL_P_12	G3
16	1B_GPIOL12_N	GPIOL_N_12	G4
20	1B_GPIOL13_P	GPIOL_P_13_CBSEL0	F3
22	1B_GPIOL13_N	GPIOL_N_13_CBSEL1	E3
26	2A_GPIOT6_P	GPIOT_P_06	B7
28	2A_GPIOT6_N	GPIOT_N_06	A7
32	TL_GPIOL9	GPIOL_09	A4
34	TL_GPIOL10	GPIOL_10	B5
38	TL_GPIOL11	GPIOL_11_PLLIN2	C5
40	TL_GPIOL3	GPIOL_03	A3

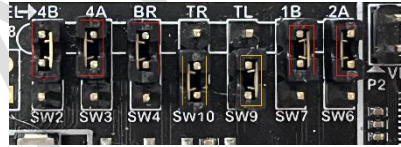
## 三、内部连接

### (一) LED

标号	信号名	FPGA Sig Name	FPGA Pin	描述
D1	BR_GPIOR24	GPIOR_24	N13	用户 LED。低电平亮灯
D2	BR_GPIOR27	GPIOR_27	P13	用户 LED。低电平亮灯
D3	BL_GPIOL2	GPIOL_02	R4	一般用于调试串口 TX
D4	BL_GPIOL1	GPIOL_01	R3	一般用于调试串口 RX
D5				USB 供电时亮灯指示
D6				DC 供电时亮灯指示

### (二) 插针

底板电压跳线帽插针连接如右图所示：



### (三) 按键

标号	FPGA Sig Name	FPGA Pin	描述
S1	EN_PWR		模组复位按键，按下关断电源执行复位
S2	GPIOL_07	C4	用户按键，按下管脚输入低电平

### (四) 晶振

型号	FPGA Sig Name	FPGA Pin	描述
OT322537.125MJBA4SL	GPIOB_P_00_PLLIN1	R5	有源晶振
TXM12M0004252FBCE000T			无源晶振

### (五) 开关

标号	描述
SW1	滑动开关：ETH/USB 切换；
SW5	滑动开关：USB/DC 供电方式切换；
SW8	滑动开关：DSI/HDMI 显示方式切换；
CBSEL0	拨码开关：外部多镜像切换使用，拨到左为 1，右为 0；
CBSEL1	拨码开关：外部多镜像切换使用，拨到左为 1，右为 0；

### (六) 连接器

CN1/CN2 管脚连接情况参见 [DEI60F225\\_conn\\_table.xlsx](#) 表格。

## 四、机械尺寸

### (一) 顶视图

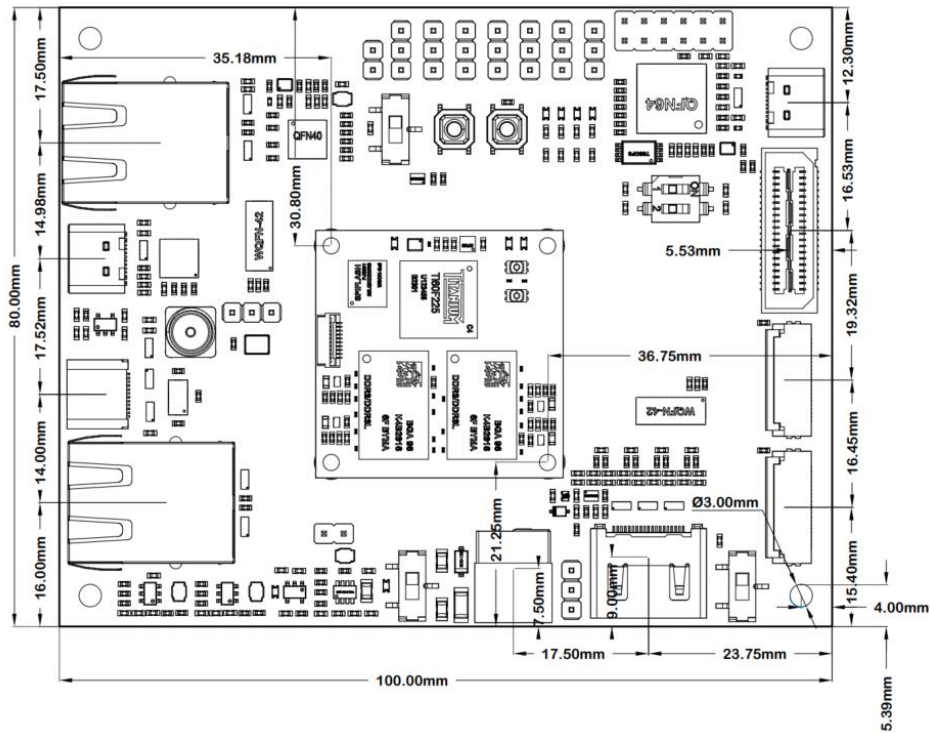


图 (28) DEI60F225-EVB 顶部尺寸 (单位: mm)

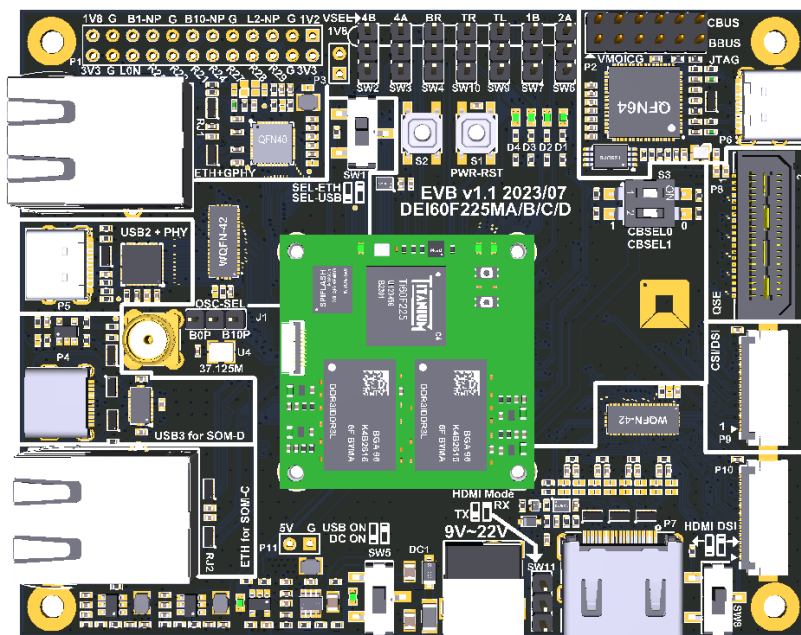


图 (29) DEI60F225-EVB 3D 顶视图

## (二) 侧视图

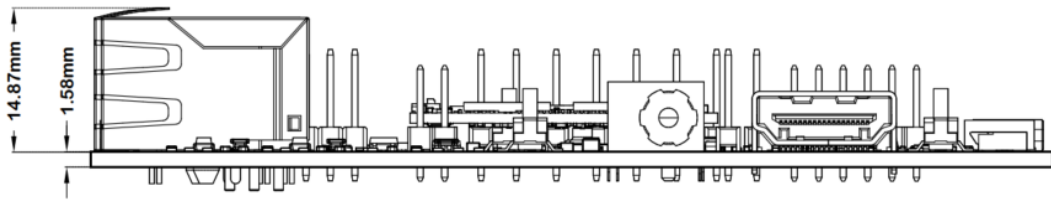


图 (30) DEI60F225-EVB 侧面尺寸 (单位: mm)

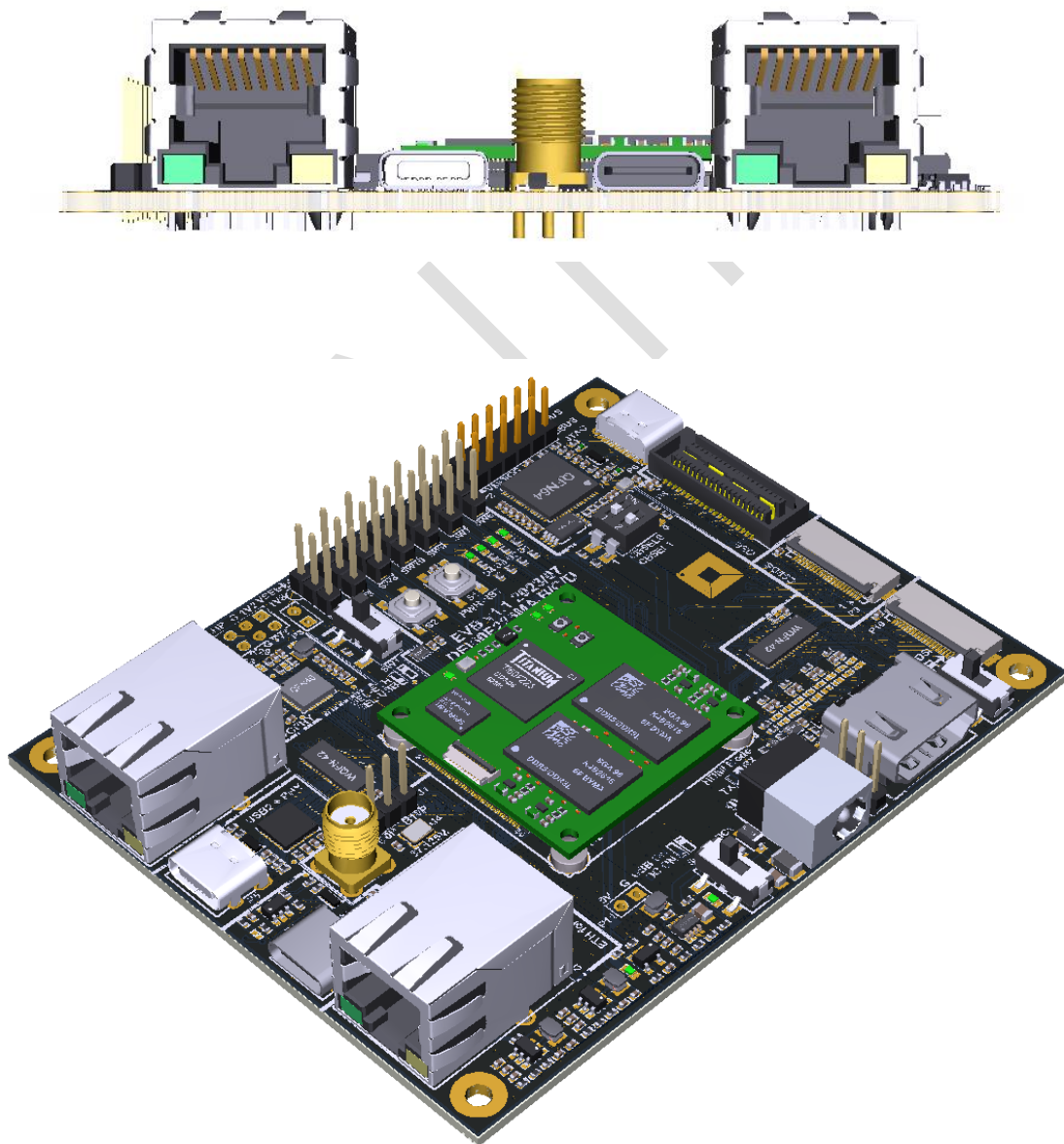


图 (31) DEI60F225-EVB 3D 侧视图

### (三) 底视图



图 (32) DEI60F225-EVB 底面尺寸 (单位: mm)

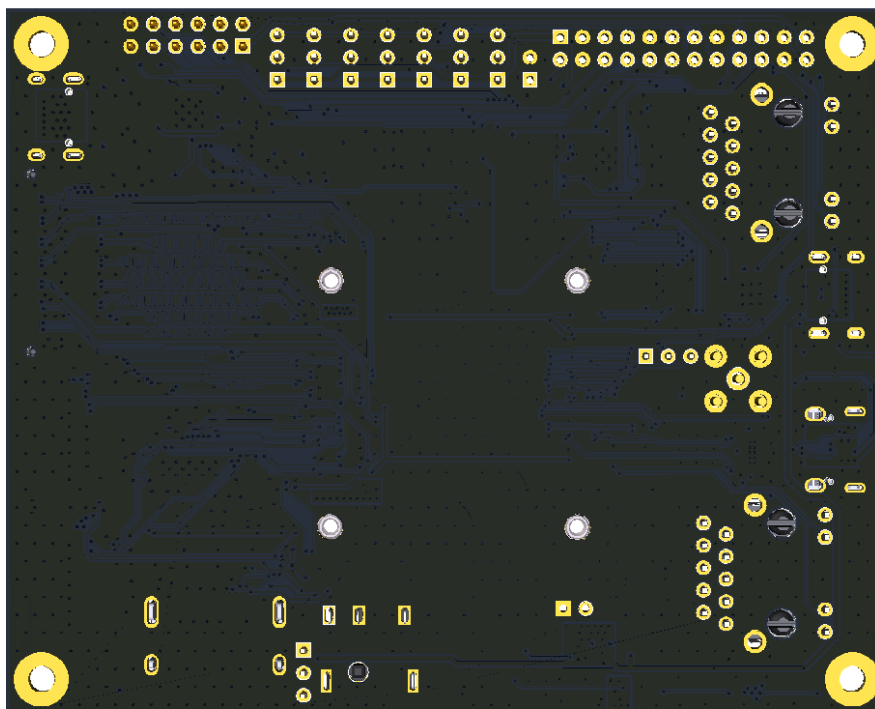


图 (33) DEI60F225-EVB 3D 底视图

## (四) 底板位号坐标图

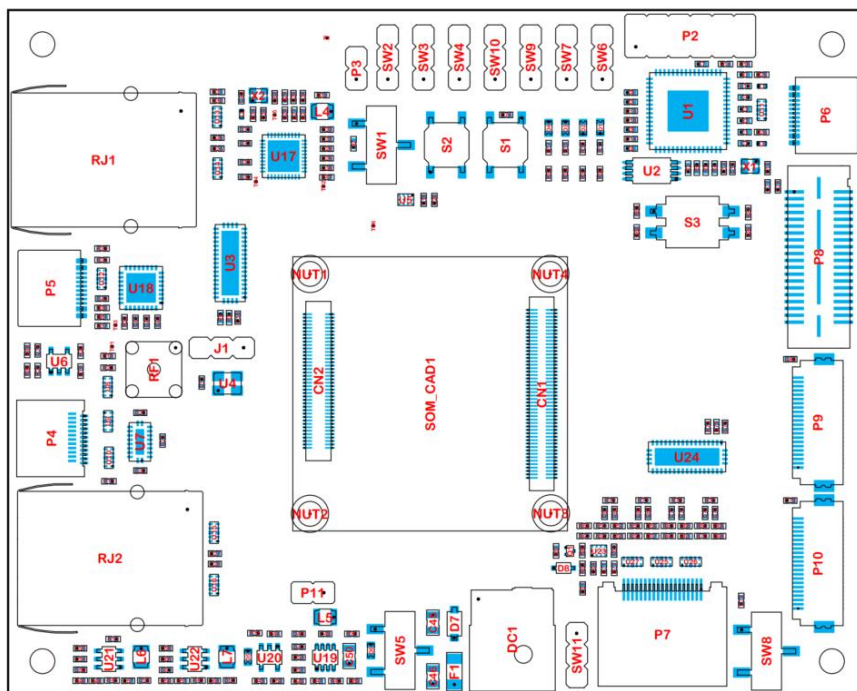


图 (34) DEI60F225-EVB 位号图

客户应使用 DF40C-80DP-0.4V (51) 和 DF40C-100DP-0.4V (51) 作为核心板连接器连接本底板。下图是底板这两个 B2B 插座的参考 PCB 封装外形。

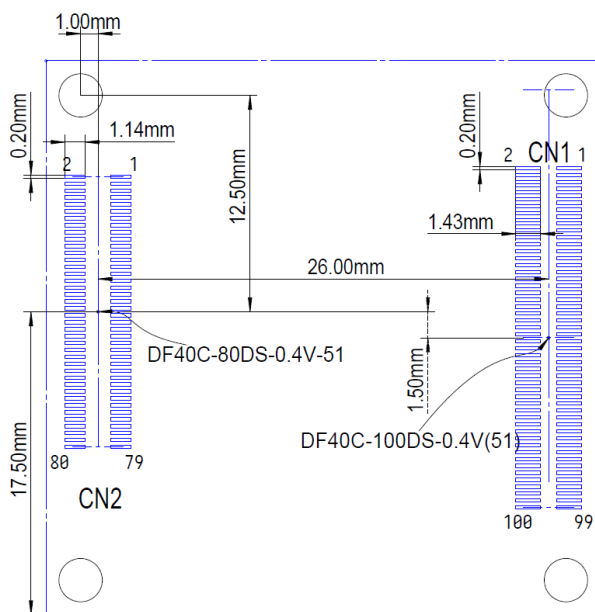


图 (35) 底板连接器规格 (单位: 毫米)

## 五、订货型号

产品类型	产品型号	价格
微电子组件*底板	DEI60F225-EVB	999

## 六、修订记录

版本	时间	描述

我们承诺本文并非一劳永逸，固守不变的文档。我们会根据大家的反馈意见，以及实际的开发实践经验积累，不断的修正和优化教程。

版权所有·侵权必究

版权方：上海南天实业有限公司